

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-259330

(43)Date of publication of application : 24.09.1999

(51)Int.Cl.

G06F 11/22

(21)Application number : 10-054629

(71)Applicant : HITACHI LTD

(22)Date of filing : 06.03.1998

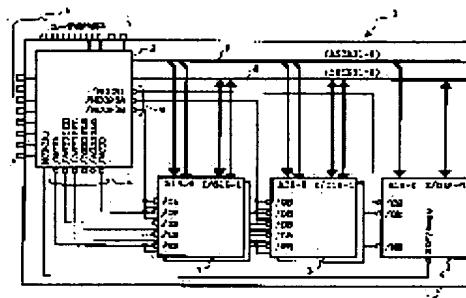
(72)Inventor : ITOU YOSHITAKA
TANAKA SATOSHI
MURATA HIROYUKI
TSUCHIYA FUMIO

(54) MODULE FOR EVALUATION, MICROCOMPUTER CHIP FOR EVALUATION AND DEBUGGING SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To easily provide system debugging or software debugging in a practical service environment of an onboard control system or the like.

SOLUTION: An evaluation module 1 is constituted by mounting a microcomputer chip 2 for evaluation, a RAM chip 3 for substituting the built-in ROM of that target microcomputer, and a flash ROM chip 4 to be allocated to the storage area of a system control program or user program on a package 5 having compatibility with the target microcomputer concerning an external terminal. Thus, the target microcomputer is replaced with the evaluation module on the target system of a user as it is, and system debugging or software debugging of the target system is enabled.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-259330

(43) 公開日 平成11年(1999) 9月24日

(51) Int.Cl.⁶

G 0 6 F 11/22

識別記号

3 4 0

F I

G 0 6 F 11/22

3 4 0 E

審査請求 未請求 請求項の数14 O L (全 15 頁)

(21) 出願番号 特願平10-54629

(22) 出願日 平成10年(1998) 3月6日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 伊東 良高

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 田中 敏

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 村田 浩之

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(74) 代理人 弁理士 玉村 静世

最終頁に続く

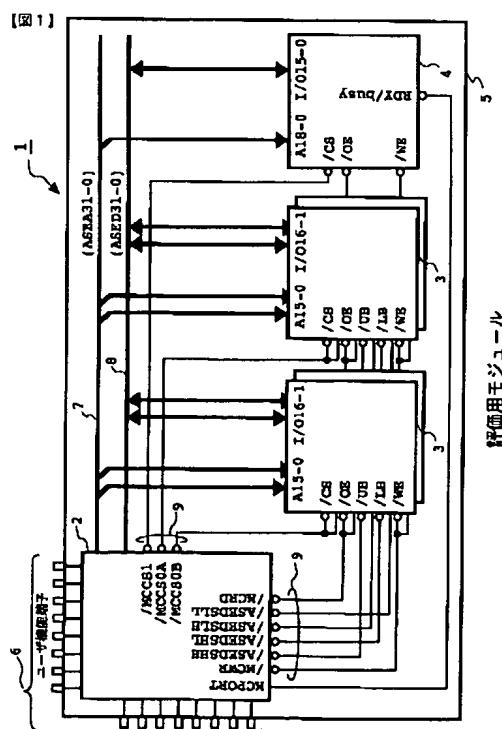
(54) 【発明の名称】 評価用モジュール、評価用マイクロコンピュータチップ、及びデバッグシステム

(57) 【要約】

【課題】 車載制御システムなどの実使用環境下でのシステムデバッグ若しくはソフトウェアデバッグを容易に実現させる。

【解決手段】 評価用マイクロコンピュータチップ

(2)、そのターゲットマイクロコンピュータの内蔵ROMを代替するRAMチップ(3)、及びシステム制御プログラムやユーザプログラムの格納領域に割り当てられるフラッシュROMチップ(4)を、外部端子に関しターゲットマイクロコンピュータとの間で互換性を有するパッケージ(5)に実装して、評価モジュール(1)を構成する。ユーザのターゲットシステム上でターゲットマイクロコンピュータをそのまま評価モジュールに置き換えて、ターゲットシステムのシステムデバッグ若しくはソフトウェアデバッグが可能である。



【特許請求の範囲】

【請求項 1】 ROMを内蔵しターゲットシステムで利用されるターゲットマイクロコンピュータに対応され前記ROM無しの評価用マイクロコンピュータチップ、前記評価用マイクロコンピュータチップの評価用端子に接続されたRAMチップ、及び前記評価用マイクロコンピュータの評価用端子に接続され電氣的に書換え可能なROMチップを、1個のパッケージに含み、前記パッケージは前記評価用マイクロコンピュータチップのターゲットマイクロコンピュータ対応端子を外部端子として有し、当該外部端子は、ターゲットマイクロコンピュータの外部端子と互換性を有するものであることを特徴とする評価用モジュール。

【請求項 2】 前記パッケージはターゲットマイクロコンピュータのパッケージと同一であることを特徴とする請求項 1 記載の評価用モジュール。

【請求項 3】 ROMを内蔵しターゲットシステムで利用されるターゲットマイクロコンピュータに対応され前記ROM無しの評価用マイクロコンピュータチップであって、CPUと、前記CPUが結合する内部バスと、評価用端子と、ターゲットマイクロコンピュータ対応端子と、指定された動作モードとアクセス対象とされるアドレスエリアとに基づいて前記内部バスを前記評価用端子又はターゲットマイクロコンピュータ対応端子の何れか一方に接続するか若しくは双方に非接続とするかを制御するバス制御手段とを有し、前記評価用端子は、電氣的に書換え可能なROMとRAMを直結して制御可能な信号入出力が行なわれるものであることを特徴とする評価用マイクロコンピュータチップ。

【請求項 4】 前記CPUに代わり前記内部バスを介してアクセス制御可能なデバッグ用バスマスタ手段と、前記バスマスタ手段によるアクセス制御のためのアクセス制御情報を外部から受け取る評価用外部インタフェース手段と、を更に含んで成るものであることを特徴とする請求項 3 記載の評価用マイクロコンピュータチップ。

【請求項 5】 請求項 4 記載の評価用マイクロコンピュータチップ、前記評価用マイクロコンピュータチップの評価用端子に接続されたRAMチップ、及び前記評価用マイクロコンピュータの評価用端子に接続され電氣的に書換え可能なROMチップを、1個のパッケージに含んで成るものである事を特徴とする評価用モジュール。

【請求項 6】 前記パッケージは前記評価用マイクロコンピュータチップのターゲットマイクロコンピュータ対応端子を外部端子として有し、当該外部端子は、ターゲットマイクロコンピュータの外部端子と互換性を有し、前記パッケージはターゲットマイクロコンピュータのパッケージと同一であることを特徴する請求項 5 記載の評価用モジュール。

【請求項 7】 評価用端子に接続された前記ROMチップはシステム制御プログラムの格納領域及びターゲットプログラムの格納領域を有し、前記評価用マイクロコンピュータチップは、第 1 動作モードが指示されることにより、システム制御プログラム格納領域に格納されたプログラムに従ってターゲットプログラム格納領域にターゲットプログラムを格納し、また、第 2 動作モードが指示されることにより、前記システム制御プログラム格納領域に格納されたプログラムに従って評価用端子に接続された前記ROMチップに格納されているターゲットプログラムを前記RAMチップに転送し、転送終了後、前記RAMチップに格納されたターゲットプログラムを実行するものであることを特徴とする請求項 6 記載の評価用モジュール。

【請求項 8】 前記評価用マイクロコンピュータチップは、第 3 動作モードが指示されることにより、評価用マイクロコンピュータチップの外部メモリ空間に配置されることになるリセット時実行の命令アドレスからプログラムを実行して、評価用端子に接続された前記ROMチップのシステム制御プログラム格納領域にシステム制御プログラムを書き込み制御するものであることを特徴とする請求項 7 記載の評価用モジュール。

【請求項 9】 請求項 4 乃至 8 の何れか 1 項記載の評価モジュールと、前記評価モジュールの前記評価用インタフェース手段に接続されたホスト装置とを含んで成るものであることを特徴とするデバッグシステム。

【請求項 10】 前記ターゲットマイクロコンピュータのアドレスマップは第 1 アドレスエリア、第 2 アドレスエリア及び第 3 アドレスエリアを含み、前記バス制御手段は、前記第 2 アドレスエリアに対するアクセスを検出したとき内部バスを前記評価用端子に接続し、前記第 3 アドレスエリアに対するアクセスを検出したとき内部バスを前記評価用端子及び前記ターゲットマイクロコンピュータ対応端子の双方に非接続とするターゲットプログラム書き込み可能状態と、前記第 1 アドレスエリア又は第 2 アドレスエリアに対するアクセスを検出したとき前記内部バスを前記評価用端子に接続し、特定の制御条件が一致した後は、前記第 1 アドレスエリアに対するアクセスを検出したとき内部バスを前記評価用端子に接続すると共に前記第 2 アドレスエリアに対するアクセスを検出したとき内部バスを前記ターゲットマイクロコンピュータ対応端子に接続するターゲットプログラム実行可能状態と、を動作モード指定情報に従って選択可能であることを特徴とする請求項 3 記載の評価用マイクロコンピュータチップ。

【請求項 11】 前記ターゲットプログラム書き込み可能状態又はターゲットプログラム実行可能状態が選択される時、リセット時に実行すべき命令の所在は、前記第 2 アドレスエリアの所定アドレスとされるものであることを特徴とする請求項 10 記載の評価用マイクロコン

ピュータチップ。

【請求項 1 2】 前記バス制御手段は、前記第 1 アドレスエリア又は第 3 アドレスエリアに対するアクセスを検出したとき内部バスを前記ターゲットマイクロコンピュータ対応端子に接続し、前記第 2 アドレスエリアに対するアクセスを検出したとき内部バスを前記評価用端子に接続するシステム制御プログラム書き込み可能状態を更に選択可能であることを特徴とする請求項 1 1 記載の評価用マイクロコンピュータチップ。

【請求項 1 3】 前記システム制御プログラム書き込み可能状態が選択される時、リセット時に実行すべき命令の所在は、前記第 1 アドレスエリアの所定アドレスとされるものであることを特徴とする請求項 1 2 記載の評価用マイクロコンピュータチップ。

【請求項 1 4】 請求項 1 3 記載の評価用マイクロコンピュータチップ、前記評価用マイクロコンピュータチップの評価用端子に接続された RAM チップ、及び前記評価用マイクロコンピュータの評価用端子に接続され電気的に書換え可能な ROM チップを、1 個のパッケージに含み、前記パッケージは前記評価用マイクロコンピュータチップのターゲットマイクロコンピュータ対応端子を外部端子として有し、当該外部端子は、ターゲットマイクロコンピュータの外部端子と互換性を有するものであり、前記 RAM チップは前記第 1 アドレスエリアに割り当てられ、前記評価用端子に接続された ROM チップは前記第 2 アドレスエリアに割り当てられて成るものであることを特徴とする評価用モジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ROM (Read Only Memory: リード・オンリ・メモリ) を内蔵するマイクロコンピュータ (マイクロプロセッサ、マイクロコントローラ、データプロセッサ等と称されることもある) の応用システムのシステムデバッグ若しくはソフトウェアデバッグを支援するための技術に関し、例えば、実使用環境下でのシステムデバッグ若しくはソフトウェアデバッグの実現に適用して有効な技術に関する。

【0002】

【従来の技術】産業機器などに組み込まれて利用されるマイクロプロセッサの応用システム (ターゲットシステム) には実使用環境下でのシステムデバッグやソフトウェアデバッグが要求されることが多い。例えば自動車エンジン制御などの車載制御用途では、実際に車両を走行させながらソフトウェアデバッグや制御データなどのチューニング等を行なうことが要求される。

【0003】従来は評価用のマイクロコンピュータを代替メモリなどと一緒に回路基板に実装してエミュレーションボードを構成していた。評価の対象とされるマイクロコンピュータ (ターゲットマイクロコンピュータ) が

ROM を内蔵するとき、対応される評価用マイクロコンピュータは前記ターゲットマイクロコンピュータの ROM を内蔵せず、これを代替するためにエミュレーションボード上に SRAM (Static Random Access Memory: スタティック・ランダム・アクセス・メモリ) を実装する。前記内蔵 ROM をその SRAM で代替させるための空間切換え制御用ロジックなどがエミュレーションボード上に搭載されなければならない。

【0004】尚、評価用マイクロコンピュータについて記載された文献の例として特開平 1 - 2 1 7 6 4 9 号公報がある。

【0005】

【発明が解決しようとする課題】しかしながら、配線基板に代替 SRAM 及び空間切換え制御用ロジックなどの回路と共に評価用マイクロコンピュータチップが実装されて成るエミュレーションボードは、ターゲットマイクロコンピュータのサイズよりも当然大きくなり、実使用環境下でターゲットシステムに組み込む事も容易ではない。エミュレーションボードを直接ターゲットシステムのマイクロコンピュータソケットに直結するのは難しい。エミュレーションボードとターゲットシステムとをインタフェースケーブルで接続しなければならない。インタフェースケーブルを介することにより伝播信号波形の歪が大きくなり、ターゲットマイクロコンピュータ内蔵 ROM をインタフェースケーブルを介してターゲットボード上の ROM で代替させることは益々困難になると予想される。また、インタフェースケーブル上でのアナログ系信号の歪は無視する事ができなくなる。これらによって、実使用環境下でのデバッグの信頼性が著しく低下することが懸念される。

【0006】本発明の目的は、実使用環境下でのシステムデバッグ若しくはソフトウェアデバッグを実現させることができるようにすることである。

【0007】詳しくは、ROM 内蔵マイクロコンピュータの応用システムを評価するのに必要な従来のエミュレーションボードのような機能を小型に達成でき、ターゲットシステムのマイクロコンピュータソケットなどに直接搭載若しくはターゲットシステムのボード上に直接実装できる評価用モジュール、そしてそのための評価用マイクロコンピュータを提供することにある。

【0008】また、信号ノイズ等の点で実使用環境下に極めて近い状態でターゲットシステムを評価可能にする評価用マイクロコンピュータそして評価用モジュールを提供することにある。

【0009】更に、パラメータチューニングなどを容易に行なえる評価用マイクロコンピュータ、評価用モジュールを提供することにある。

【0010】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0012】〔1〕ROMを内蔵するターゲットマイクロコンピュータに対応させた前記ROM無しの評価用マイクロコンピュータチップ(2)、前記内蔵ROMを代替するRAMチップ(3)、システム制御プログラムやターゲットプログラム(ユーザプログラム)などの保持に利用される電氣的に書き換え可能なROMチップ

(4)を、1個のパッケージ(5)に含めて評価用モジュール(1)を構成する。前記パッケージは前記評価用マイクロコンピュータチップのターゲットマイクロコンピュータ対応端子を外部端子(6)として有し、当該外部端子は、ターゲットマイクロコンピュータの外部端子と互換性を有する。最適な態様では、前記パッケージは、仕様上、ターゲットマイクロコンピュータのパッケージと同一とすることができる。

【0013】上記より、評価用マイクロコンピュータチップの外部ROMチップ(4)にはターゲットプログラムを格納し、このターゲットプログラムを前記RAMチップ(3)に内部転送し、エミュレーションに際して前記RAMチップ(3)をターゲットマイクロコンピュータ内蔵ROMのアドレスエリア(AE1)にマッピングする事により、評価用マイクロコンピュータチップはRAMチップ(3)上のターゲットプログラムを実行して、ターゲットシステム(60)を制御する。このターゲットプログラムの実行状態を例えばターゲットシステム上で観測したりして、システムデバッグ若しくはソフトウェアデバッグを支援する事ができる。このとき、評価用モジュールの外部端子(6)はターゲットマイクロコンピュータの外部端子と互換性を有しているから、ターゲットシステムのターゲットマイクロコンピュータ搭載ソケットに前記評価用モジュールを装着して、前記デバッグの支援を行なうことができる。したがって、自動車エンジン制御などの車載制御システムに対しても実使用環境下でのシステムデバッグ若しくはソフトウェアデバッグを容易に実現させることができる。上記より、ターゲットシステムと評価用モジュールとの接続にはインタフェースケーブルを必要としないから、インタフェースケーブルの引回し等に起因する不所望なノイズの影響を受けず、マイクロコンピュータの動作周波数が高くてもデバッグの信頼性を保証することができる。

【0014】〔2〕ターゲットマイクロコンピュータの内蔵ROMを代替する前記外部RAMチップ(3)や電氣的に書き換え可能なROMチップ(4)のアドレスマッピングは、ターゲットプログラムの実行中とそうでない場合とで切換え制御される事が必要である。このようなアドレスマップ制御に着目した前記評価用マイクロコンピュータチップは、CPU(Central Processing Uni

t:中央処理装置)(21)と、前記CPUが結合する内部バス(22, 23)と、評価用端子(30)と、ターゲットマイクロコンピュータ対応端子(25)と、指定された動作モードとアクセス対象とされるアドレスエリアとに基づいて前記内部バスを前記評価用端子又はターゲットマイクロコンピュータ対応端子の何れか一方に接続するか若しくは双方に非接続とすることを制御するバス制御手段(31)とを有する。そして、前記評価用端子は、電氣的に書換え可能なROMとRAMを直結して制御可能な信号入出力が行なわれるようにする。即ち、前記評価用端子を、電氣的に書換え可能なROMとRAMの直結インタフェース仕様とする。

【0015】例えば、前記評価用端子(30)に、前記ターゲットマイクロコンピュータの内蔵ROMを代替するRAMチップ(3)、システム制御プログラムやターゲットプログラムなどの保持に利用される電氣的に書き換え可能なROMチップ(4)を接続した場合、前記外部ROMチップ(4)にターゲットプログラムを格納する動作モードでは、ターゲットマイクロコンピュータの評価用端子側のバス若しくは評価用バス端子に外部ROMチップ(4)をマッピングする。ROMチップ(4)に格納されたターゲットプログラムをRAMチップ

(3)に転送する動作モードでは、ターゲットマイクロコンピュータの評価用端子側バス若しくは評価用バス端子に前記ROMチップ(4)及びRAMチップ(3)の双方をマッピングする。RAMチップ(3)への転送後にターゲットプログラムを実行する動作モードでは、前記ターゲットマイクロコンピュータの内蔵ROMのアドレスエリア(AE1)に前記外部RAMチップ(3)をマッピングし、前記外部ROMチップ(4)に対してはアクセス不可能とする。

【0016】上記動作モードに応じたアドレスエリアのマッピング制御に従ってバス制御手段によるバス制御が行なわれることにより、ターゲットマイクロコンピュータ内蔵ROMを外部RAMチップで代替させてターゲットプログラムを実行しながらデバッグを支援することができる。

【0017】前記CPUに代わり前記内部バスを介してアクセス制御可能なデバッグ用バスマスタ手段(32)と、前記バスマスタ手段によるアクセス制御のためのアクセス制御情報を外部から受け取る評価用外部インタフェース手段(33)とを更に含めることができる。これにより、ターゲットシステムのハードウェア及びソフトウェア双方のリソースを用いることなく、前記内蔵ROM代替用のRAMチップ(3)上の制御データ等を変更できる。したがって、パラメータチューニングなどのデバッグが容易になる。その様な制御データとして例えば自動車エンジン制御では燃料噴射量や噴射タイミングの制御データなどを挙げることができる。本明細書において、前記制御データはターゲットプログラムの一部を構

成する情報として把握する。

【0018】評価用モジュール(1)を用いたデバッグシステムは、評価用モジュールの前記評価用外部インタフェース手段(33)などにホスト装置(73)を接続して構成することができる。

【0019】〔3〕前記アドレスマップ制御によるバス制御が行なわれる前記評価用マイクロコンピュータチップを用いた評価用モジュール(1)は、前記評価用マイクロコンピュータチップ(2)と共に、当該評価用マイクロコンピュータチップの評価用端子に接続されたRAMチップ(3)、及び前記評価用マイクロコンピュータの評価用端子に接続され電氣的に書き換え可能なROMチップ(4)を、1個のパッケージ(5)に含んで構成できる。前記パッケージは前記評価用マイクロコンピュータチップのターゲットマイクロコンピュータ対応端子を外部端子(6)として有し、当該外部端子(6)は、ターゲットマイクロコンピュータの外部端子と互換性を有し、前記パッケージ(5)はターゲットマイクロコンピュータのパッケージと仕様上、同一とするのが最適である。

【0020】前記評価用端子に接続された前記ROMチップ(4)はシステム制御プログラムの格納領域(41)及びターゲットプログラムの格納領域(42)を有する。このとき、前記評価用マイクロコンピュータチップ(2)は、第3動作モードが指示されることにより、評価用マイクロコンピュータチップ(2)の外部メモリ空間に配置されることになるリセット時実行の命令アドレス(リセットベクタ)からプログラムを実行して、評価用端子に接続された前記ROMチップ(4)のシステム制御プログラム格納領域(41)にシステム制御プログラムを書き込み制御することができる。また、評価用マイクロコンピュータチップは、第1動作モードが指示されることにより、システム制御プログラム格納領域(41)に格納されたプログラムに従ってターゲットプログラム格納領域(42)にターゲットプログラムを格納することができる。また、評価用マイクロコンピュータチップは、第2動作モードが指示されることにより、前記システム制御プログラム格納領域(41)に格納されたプログラムに従って評価用端子に接続された前記ROMチップ(4)に格納されているターゲットプログラムを前記RAMチップ(3)に転送し、転送終了後、前記RAMチップに格納されたターゲットプログラムを実行することができる。

【0021】〔4〕前記アドレスマップ制御に応じたバス制御が行なわれる前記評価用マイクロコンピュータチップにおけるバス制御手段の更に具体的な制御態様に係る発明では、前記ターゲットマイクロコンピュータのアドレスマップは第1アドレスエリア(AE1)、第2アドレスエリア(AE2)及び第3アドレスエリア(AE3)を含むものとする。例えば第1アドレスエリアはタ

ーゲットマイクロコンピュータの内蔵ROMがマッピングされている内蔵ROMエリア、第2及び第3アドレスエリアはターゲットマイクロコンピュータの外部メモリがマッピングされている外部メモリエリアとすることができる。前記評価用端子(30)には前記内蔵ROM代替用のRAMチップ(3)、電氣的に書き換え可能なROMチップ(4)を接続するものとする。外部RAMチップ(3)は第1アドレスエリア(AE1)に重ねられ、外部ROMチップ(4)は第2アドレスエリア(AE2)に重ねられるものとする。このとき、前記バス制御手段(31)は、動作モード指定情報に従って、ターゲットプログラム書き込み可能状態又はターゲットプログラム実行可能状態を選択可能とされる。

【0022】前記ターゲットプログラム書き込み可能状態は、前記第2アドレスエリア(AE2)に対するアクセスを検出したとき内部バス(22, 23)を前記評価用端子(30)に接続し(評価用端子に接続されたROMチップ保有のシステム制御プログラムをリードアクセスし、或いはダウンロードされたターゲットプログラムを評価用端子に接続されたROMチップにライト可能にする)、前記第3アドレスエリア(AE3)に対するアクセスを検出したとき内部バス(22, 23)を前記評価用端子(30)及び前記ターゲットマイクロコンピュータ対応端子(25)の双方に非接続とする(評価用端子からリードアクセスしたシステム制御プログラムを評価用マイクロコンピュータチップの内蔵RAMにライトし、また、内蔵RAMからシステム制御プログラムをリード可能にする)状態である。

【0023】前記ターゲットプログラム実行可能状態は、前記第1アドレスエリア(AE1)又は第2アドレスエリア(AE2)に対するアクセスを検出したとき前記内部バス(22, 23)を前記評価用端子(30)に接続し(外部ROMチップに格納されているシステム制御プログラムをフェッチし、これを実行して、外部ROMチップ上のターゲットプログラムを代替RAMチップにライト可能にする)、特定の制御条件一致を示す信号(51)がアサートされた後は、前記第1アドレスエリア(AE1)に対するアクセスを検出したとき内部バス(22, 23)を前記評価用端子(30)に接続する(これによってターゲットマイクロコンピュータの内蔵ROMを代替RAMチップ上のプログラムをフェッチする)と共に前記第2アドレスエリア(AE2)に対するアクセスを検出したとき内部バス(22, 23)を前記ターゲットマイクロコンピュータ対応端子(25)に接続する(これにより外部ROMチップのマッピングアドレスに重なったターゲットシステム上のアドレス空間がアクセスされる)状態である。

【0024】前記バス制御手段(31)は、システム制御プログラム書き込み可能状態を更に選択できるようにしてもよい。システム制御プログラム書き込み可能状態

は、前記第1アドレスエリア(AE1)又は第3アドレスエリア(AE3)に対するアクセスを検出したとき内部バス(22, 23)を前記ターゲットマイクロコンピュータ対応端子(25)に接続し(これにより、評価用マイクロコンピュータチップの第1アドレスエリアの外部メモリに格納されている書き込み制御プログラムをリードして実行し、第3アドレスエリアのシステム制御プログラムをリードする)、前記第2アドレスエリア(AE2)に対するアクセスを検出したとき内部バス(22, 23)を前記評価用端子(30)に接続する(前記リードした第3アドレスエリアのシステム制御プログラムを第2アドレスエリアの外部ROMチップに書き込む)状態である。

【0025】

【発明の実施の形態】〔1〕評価用モジュール

図1には評価用モジュールの一例が示される。同図に示される評価用モジュール1は、夫々半導体集積回路化された評価用マイクロコンピュータチップ2、SRAMチップ3、フラッシュメモリなどの電氣的に書き換え可能なROMチップ(以下単にフラッシュROMチップとも記す)4を、1個のパッケージ5に内蔵した、マルチチップモジュールとして構成される。前記パッケージ5は前記評価用マイクロコンピュータチップのターゲットマイクロコンピュータ対応端子を外部端子(ユーザ機能端子)6として有し、当該外部端子6は、ターゲットマイクロコンピュータの外部端子と機能及び配置の点で互換性を有する。最適な態様では、前記パッケージ5は、仕様上、ターゲットマイクロコンピュータのパッケージと同一とされる。前記フラッシュROMチップ4をブート用ROM、前記SRAMチップ3をエミュレーション用RAMとも記す。

【0026】前記評価用マイクロコンピュータチップ2は、電氣的に書き換え可能なフラッシュメモリ等をプログラムROMとして内蔵するターゲットマイクロコンピュータに対応されるものであり、基本的に、当該ターゲットマイクロコンピュータと同じデータ処理機能を実現するものであり、例えばターゲットマイクロコンピュータと同じCPUを有し、ターゲットマイクロコンピュータと同じ周辺機能を実現している。但し、評価用マイクロコンピュータチップ2は前記プログラムROMを内蔵しない。デバッグを支援する性質上、外部RAMにターゲットプログラムを格納して実行させる方が使い勝手がよいからである。

【0027】前記SRAMチップ3はターゲットマイクロコンピュータの内蔵プログラムROMを代替する。フラッシュROMチップ4はシステム制御プログラムやターゲットプログラム(ユーザプログラム)などの保持に利用される。

【0028】図1において7はモジュールアドレスバス(ASEA31-0)、8はモジュールデータバス(ASED31-

0)、9はモジュールコントロールバスを意味する。それらバス7, 8, 9を評価バスとも総称する。図から明らかなように、評価用マイクロコンピュータチップ2は、SRAMチップ3及びフラッシュROMチップ4を直結してアクセス制御するメモリインタフェース機能を有する。この機能により評価用マイクロコンピュータチップ2は、チップ選択信号/MCCS1、/MCCSOA、/MCCSOB、リード信号/RD、データセレクト信号/ASEDSLH、/ASEDSLH、/ASEDSHL、/ASEDSHH、ライト信号/WRの出力端子を有し、SRAMチップ3及びフラッシュROMチップ4のチップ選択端子/CS及びチップイネーブル端子/CE、SRAMチップ3のデータ選択端子/UB、/LB、SRAMチップ3及びフラッシュROMチップ4のアウトプットイネーブル端子/OE、SRAMチップ3及びフラッシュROMチップ4のライトイネーブル端子/WEに供給される。フラッシュROMチップ4のレディー・ビジー信号RDY/busyは評価用マイクロコンピュータチップ2のポートMC PORTに供給される。SRAMチップ3は、特に制限されないが、スタティック型メモリセルを有する半導体メモリであり、既に公知であるからその詳細な説明は省略する。また、フラッシュROMチップ4は、特に制限されないが、フラッシュメモリ若しくはEEPROMのようなROMであり、同じく公知であるからその詳細な説明は省略する。

【0029】前記ROMチップ4にはターゲットプログラムを格納し、このターゲットプログラムを前記SRAMチップ3に内部転送し、エミュレーションに際して前記SRAMチップ3をターゲットマイクロコンピュータ内蔵ROMのアドレスエリアにマッピングすることにより、評価用マイクロコンピュータチップ2はSRAMチップ3上のターゲットプログラムを実行して、ターゲットシステムを制御することができる。このターゲットプログラムの実行状態を例えばターゲットシステム上で観測したりして、システムデバッグ若しくはソフトウェアデバッグを支援することができる。このとき、評価用モジュール1のユーザ機能端子6はターゲットマイクロコンピュータの外部端子と互換性を有しているから、ターゲットシステムのターゲットマイクロコンピュータICソケットに前記評価用モジュール1を装着して、前記デバッグの支援を行なうことができる。したがって、自動車エンジン制御などの車載制御システムに対しても実使用環境下でのシステムデバッグ若しくはソフトウェアデバッグを容易に実現させることができる。更に、上記より、ターゲットシステムと評価用モジュール1との接続にはインタフェースケーブルを必要としないから、インタフェースケーブルの引回し等に起因する不所望なノイズの影響を受けず、マイクロコンピュータの動作周波数が高くてもデバッグの信頼性を保証することができる。例えば、従来33MHz程度のクロック周波数までエミュレーション可能であった場合、40~60MHz程度までのクロ

ック周波数に対応することができる。

【0030】〔2〕動作モードに応じたメモリマップ制御

図2には評価用マイクロコンピュータチップ2の一例が示される。評価用マイクロコンピュータチップ2は、ターゲットマイクロコンピュータの機能を少なくとも実現するため、CPU21、前記CPU21が結合する内部データバス22及び内部アドレス・コントロールバス23、ターゲットマイクロコンピュータ対応端子25、DMA C (Direct Memory Access Controller:ダイレクト・メモリ・アクセス・コントローラ) 26、SCI (Serial Communication interface:シリアル・コミュニケーション・インタフェース) 27、シリアル通信端子28、RAM29を有する。評価用マイクロコンピュータチップ2は、デバッグ支援機能を実現するために、評価用端子30、バス制御回路31、デバッグ用メモリコントローラ32、通信インタフェース33、デバッグ専用通信端子34、バスアービタ35、モード端子36を有する。前記バス制御回路31は、前記モード端子36などを介して指定された動作モードと前記アドレス・制御信号バス23を介してアクセス対象とされるアドレスエリアとに基づいて前記内部バス22、23を前記評価用端子30又はターゲットマイクロコンピュータ対応端子25の何れか一方に接続するか若しくは双方に非接続とするかを制御する。

【0031】前記ターゲットマイクロコンピュータ対応端子25は、図1のユーザ機能端子6に接続される端子である。ユーザ機能端子6は図示を省略するターゲットシステムのユーザバスに接続されることになる。前記評価用端子30は、図1のモジュールアドレスバス7、モジュールデータバス8、及びモジュールコントロールバス9に結合される端子である。したがって、前記評価用端子30は、電氣的に書換え可能なフラッシュROMチップ4とSRAMチップ3を直結して制御可能な前記インタフェース信号/MCCS1、/MCCSOA、/MCCSOB、/RD、/ASEDSL、/ASEDSLH、/ASEDSHL、/ASEDSHH、/WRを内部アドレス・コントロールバス23を介して出力する端子が含まれている。

【0032】前記バス制御回路31は、アドレスコンパレータ40、モード制御回路41、バスバッファ回路42、43を有する。バスバッファ回路43は内部バス22、23を評価用端子30に接続するトライステートバッファ回路であり、アドレス・制御信号の出力バッファ43Aとデータの入出力バッファ43Dとを有する。出力バッファ43Aと入出力バッファ43Dには夫々出力イネーブル信号と入力イネーブル信号が個別に供給され、これによって入出力動作が制御される。図2においてそれら入出力イネーブル信号は符号45によって総称される。前記バスバッファ回路42は内部バス22、23をターゲットマイクロコンピュータ対応端子25に接

続するトライステートバッファ回路であり、アドレス・制御信号の出力バッファ42Aとデータの入出力バッファ42Dとを有する。出力バッファ42Aと入出力バッファ42Dには夫々出力イネーブル信号と入力イネーブル信号が個別に供給され、これによって入出力動作が制御される。図2においてそれら入出力イネーブル信号は符号44によって総称される。

【0033】前記アドレスコンパレータ40は、CPU21が管理するアドレス空間上のアドレスエリア情報を有する。例えば図3に例示されるように、CPU21のアドレス空間をアドレスエリアAE1～AEiに分け、個々のアドレスエリアAE1～AEiのスタートアドレス及びエンドアドレス（若しくはスタートアドレス及びエリアサイズ）をアドレスエリア情報として有する。前記アドレスエリア情報で特定される個々のアドレスエリアに割り当てられる物理空間（マイクロコンピュータ内部のRAM空間やROM空間、外部のRAM空間やROM空間など）は評価用マイクロコンピュータチップ2の動作モードに応じて決定される。例えば、特定の動作モードにおいて、アドレスエリアAE1には評価バスのSRAMチップ3が割り当てられ、アドレスエリアAE2にはユーザ機能端子6に接続される外部メモリ空間が割り当てられる。

【0034】評価用マイクロコンピュータチップ2の動作モードはモード端子36の状態等に従ってモード制御回路41が認識する。前記アドレスコンパレータ40はモード制御回路41で認識された動作モードに応ずる制御信号50を受け取り、この制御信号50に基づいてアドレスエリア情報で特定される個々のアドレスエリアに割り当てられる物理空間の所在若しくはデバイスを認識する。このようにして、アドレスコンパレータ40は、動作モードに応じたアドレスマッピングの状態を認識する。アドレスコンパレータ40は、前記アドレスマッピング状態の認識結果に基づいて、内部バス23上のアクセスアドレスで指定されるアクセス先を判定し、内部バス22、23上のデバイスがアクセスされる場合には双方のバスバッファ回路42、43を高インピーダンス状態に維持し、ユーザバス（前記ターゲットマイクロコンピュータ対応端子25を介して前記ユーザ機能端子6に結合されるバス）又は評価用端子を介して接続される評価バス（7、8、9）に結合されたデバイスがアクセスされる場合は、アクセス制御信号（/MCRD、/MCWR）なども参照してバスバッファ回路42又はバスバッファ回路43を入力或いは出力動作させる。

【0035】ここで、評価用マイクロコンピュータチップ2の動作モードを説明する。評価用マイクロコンピュータチップ2は、マルチチップモード（MCモード）を有する。このマルチチップモードは、マルチチップモジュール化された評価用モジュール独特の新規な動作モードである。すなわち、マルチチップモードは、図1のマル

チップモジュール化された評価用マイクロコンピュータチップ2を用いてターゲットマイクロコンピュータの内蔵ROMのエミュレーションを行なう（実際には前記SRAMチップ3及びROMチップ4を利用する）機能をサポートする動作モードである。このマルチチップモードにより、評価用モジュール1は、見掛上、ターゲットマイクロコンピュータと同様に動作することが可能になる。前記マルチチップモードは前記モード端子36を介して設定され、その設定状態はモード制御回路41が認識する。

【0036】前記マルチチップモードは更に、内蔵ROM有効拡張モード、内蔵ROM無効拡張モード、シングルチップモード、ブートモードなどの動作モードに細分化される。どの動作モードかは前記モード端子36の状態が決まる。

【0037】評価用マイクロコンピュータチップ2に応ずるターゲットマイクロコンピュータは電氣的に書き換え可能なプログラムROMを内蔵するが、評価用マイクロコンピュータチップ2はそのようなプログラムROMを内蔵せず、その機能をSRAMチップ3とフラッシュROMチップ4で代替する。したがって、ターゲットマイクロコンピュータの場合にはシングルチップモードでは外部メモリ空間のアクセスは不可能にされるが、評価用マイクロコンピュータチップ2の場合、前記内蔵プログラムROMが設けられていないので、評価バス（7，8，9）のSRAMチップ3のアクセスを可能とし、そのSRAMチップ3をターゲットマイクロコンピュータの内蔵プログラムROMがマッピングされるアドレスエリアAE1に配置する。

【0038】拡張モードではCPU21のアドレス空間はシングルチップモードよりも拡張される。マルチチップモードの内蔵ROM有効拡張モードではシングルチップモード同様に、アドレスエリアAE1にはSRAMチップ3がマッピングされる。

【0039】マルチチップモードの内蔵ROM無効拡張モードでは内蔵ROMのアドレスエリアAE1は外部メモリ空間にマッピングされる。

【0040】マルチチップモードのブートモードは、ターゲットマイクロコンピュータの内蔵ROMにユーザプログラムを最初に書き込むための動作（ブート動作）に応ずる動作モードであり、アドレスエリアAE1には外部メモリがマッピングされ、ブート動作で利用される書き込み制御プログラムは当該外部メモリに配置されることになる。

【0041】前記マルチチップモードは、バンクモードとユーザモードの二つの動作モードを有する。モード端子36がマルチチップモードを指定している状態で、パワーオンリセットが行なわれると、自動的にバンクモードとされる。夫々マルチチップモードにおいて、前記内蔵ROM有効拡張モード、内蔵ROM無効拡張モード、

シングルチップモード、ブートモードの何れが指定されていても、最初はバンクモードのマルチチップモードとされる。バンクモードからユーザモードへの遷移は、アドレスエリアAE1からの命令フェッチをモード制御回路41が検出する事によって自動的に行なわれる。

【0042】前記バンクモードでは、評価用マイクロコンピュータチップ2はチップ選択信号/MCCS1によってフラッシュROMチップ4をアクセスできるようにされる。換言すれば、評価用マイクロコンピュータチップ2は、マルチチップモードにおけるバンクモードではフラッシュROMチップ4のアクセスが可能にされる。この例に従えば、マルチチップモードのバンクモードにおいてROMチップ4はアドレスエリアAE2にマッピングされる。

【0043】動作モードに応じたメモリマップ制御の具体例を説明する。先ずROM無効拡張モードによる初期書き込み動作を説明する。すなわち、その書き込み動作は、評価モジュール1をユーザのターゲットシステムに実装する前に、システム制御プログラムをフラッシュROMチップ4に書き込む動作である。この動作は、図示を省略する書き込み制御ボードに評価モジュール1を実装して行なう。評価モジュール1のユーザ機能端子6側のユーザバスには、外部メモリが配置され、その外部メモリには、書き込み制御を行なうための起動用プログラム、フラッシュROMチップ4に書き込むべきシステム制御プログラムが用意されている。

【0044】その状態で、マルチチップモードのROM無効拡張モードを指定してパワーオンリセットを行なうと、評価用マイクロコンピュータチップ2のアドレス空間は図8に例示されるマッピング状態にされる。アドレスエリアAE1にはユーザバスの外部メモリが配置され、アドレスエリアAE2には評価バスのフラッシュROMチップ（ブート用ROM）4が配置される。その動作モードで得られるアドレスマップをターゲットマイクロコンピュータ（ユーザLSIとも記す）にROM無効拡張モードを指定したときのアドレスマップと比較すると、アドレスエリアAE2の配置が相違されている。

【0045】マルチチップモードのROM無効拡張モードが設定された時の動作状態は図4に例示され、そのときのリセットベクタはアドレスエリアAE1の所定アドレスとされ、CPU21はアドレスエリアAE1の起動用外部メモリのプログラムを実行して、アドレスエリアAE2のフラッシュROMチップ（ブート用ROM）4にアドレスエリアAE3のシステム制御プログラムを初期書き込みする事ができる。この動作は評価モジュール1をターゲットシステムに実装する前に行なわれるものであり、例えば、評価用モジュール1を製造する半導体メーカーも行なうことができる。

【0046】次に、ブートモードによるユーザプログラムの書き込み動作を説明する。この書き込み動作は、前

記システム制御プログラムの初期書き込みを完了した評価モジュール1をターゲットシステムに実装した状態（オン・ボード状態）で行なわれる。先ず、マルチチップモードのブートモードを指定してパワーオンリセットを行なうと、評価用マイクロコンピュータチップ2のアドレス空間は図9に例示されるマッピング状態にされる。アドレスエリアA E 1には評価バスのSRAMチップ（エミュレーション用RAM）3が配置され、アドレスエリアA E 2には評価バスのフラッシュROMチップ（ブート用ROM）4が配置される。その動作モードで得られるアドレスマップをターゲットマイクロコンピュータにブートモードを指定したときのアドレスマップと比較すると、アドレスエリアA E 1、A E 2の配置が相違されている。

【0047】マルチチップモードのブートモードが設定された時の動作状態は図5に例示され、そのときのリセットベクタはアドレスエリアA E 2の所定アドレスとされ、それによってCPU21は、アドレスエリアA E 2に配置されたフラッシュROMチップ（ブート用ROM）4のシステム制御プログラムを実行して、当該システム制御プログラムに含まれる書き込み制御プログラムをアドレスエリアA E 3などの内部RAM空間に転送し、書き込み制御プログラムが転送された内部RAMアドレスに命令実行アドレスを分岐させ、ユーザプログラムをフラッシュROMチップ4に書き込み制御にする。ユーザプログラムはSCI27から内部バス22に供給される。

【0048】次に、ROM有効拡張モード（又はシングルチップモード）によるユーザデバッグ動作を説明する。このデバッグ動作は、前記バンクモードでのターゲットプログラム（ユーザプログラム）セットアップ動作と、その完了後のユーザプログラム実行動作とに分けられる。

【0049】先ず、マルチチップモードでROM有効拡張モード（又はシングルチップモード）が指定されてパワーオンリセットされると、評価用マイクロコンピュータチップ2のアドレス空間は図10に例示されるマッピング状態とされる。アドレスエリアA E 1には評価バスのSRAMチップ（エミュレーション用RAM）3が配置され、アドレスエリアA E 2には評価バスのフラッシュROMチップ（ブート用ROM）4が配置される。その動作モードで得られるアドレスマップをターゲットマイクロコンピュータにROM有効拡張モード（又はシングルチップモード）を指定したときのアドレスマップと比較すると、アドレスエリアA E 1、A E 2の配置が相違されている。

【0050】マルチチップモードのROM有効拡張モード（又はシングルチップモード）が設定された時の当初の動作状態は図6に例示され、そのときのリセットベクタはアドレスエリアA E 2の所定アドレスとされ、それ

によってCPU21は、アドレスエリアA E 2に配置されたフラッシュROMチップ（ブート用ROM）4のシステム制御プログラムを実行して、ユーザプログラムをSRAMチップ（エミュレーション用RAM）3に内部転送する。これによってユーザプログラムのセットアップ動作を完了する。

【0051】内部転送終了後、CPU21の命令実行アドレスはアドレスエリアA E 1のリセットベクタに分岐してSRAMチップ4のユーザプログラムを実行開始する。このとき、モード制御回路41はアドレスエリアA E 1からの命令フェッチをCPU21の信号51で検知し、これによって、そのときのバンクモードは自動的にユーザモードに遷移される。

【0052】マルチチップモードのROM有効拡張モード（又はシングルチップモード）においてユーザモードに遷移された時のアドレスマップは、図7及び図11に例示されように、フラッシュROMチップ（ブート用ROM）4がアドレスエリアA E 2から切り離され、アドレスエリアA E 2にはユーザバスのデバイスがマッピングされ、SRAMチップ（エミュレーション用RAM）3がアドレスエリアA E 1に配置される。これによって、CPU21は、SRAMチップ4上のユーザプログラムを実行し、このとき、その他のアドレスエリアは、ターゲットマイクロコンピュータのROM有効拡張モード（又はシングルチップモード）と同じにされる。換言すれば、評価モジュール1によるその状態でのユーザプログラムの実行によって、ターゲットマイクロコンピュータの内蔵プログラムROMを用いた動作を評価できる。

【0053】上記動作モードに応じたアドレスエリアのマッピング制御に従ってバス制御回路31によるバス制御が行なわれることにより、ターゲットマイクロコンピュータ内蔵ROMをSRAMチップ（エミュレーション用RAM）3で代替させてターゲットプログラムを実行しながらデバッグを支援することができる。

【0054】〔3〕ユーザリソースと分離したデバッグ専用入出力機構

図2に示されるデバッグ用メモリコントローラ32は、前記CPU21に代わり前記内部バス22、23を介してアクセス制御可能なデバッグ用バスマスタ手段であり、例えばDMACと同様のデータ転送制御チャネルを有する。但し、データ転送制御情報の初期設定はCPU21では行なうことはできない。換言すれば、デバッグ用メモリコントローラ32に内蔵されたデータ転送制御用データを保持する制御レジスタがCPU21のアドレス空間には配置されていない。制御情報及び転送データは、通信インタフェース33を介して評価用マイクロコンピュータチップ2の外部とやり取りする。通信インタフェース33の動作は端子34から入力されるクロック信号に同期され、転送動作の開始タイミングなどを規定

する同期化制御信号も外部から端子34を介して入力される。

【0055】図12には前記デバッグ用メモリコントローラ32を用いたデータ転送動作の一例が示される。同図に示される例では、通信データは4ビットシリアルとされ、データ読み出し動作の一例が示される。データ読み出しコマンドDIRに続けてアドレスが入力される。デバッグ用メモリコントローラ32はその入力コマンドを解釈し、入力アドレスのデータを読み出し制御する。例えば、SRAMチップ4に格納されている制御用パラメータなどを読み出す。読み出しデータが揃うまで、出力動作を待機させ、レディー状態で、所要のデータを通信インタフェース33を介して端子34から出力する。

【0056】前記デバッグ用メモリコントローラ32及び通信インタフェース33を採用することにより、ターゲットシステムのハードウェア及びソフトウェア双方のリソースを用いることなく、前記ターゲットマイクロコンピュータ内蔵ROMを代替するSRAMチップ3上のシステム制御データ等を変更できる。例えば自動車エンジン制御システムを実使用環境下でデバッグするとき、燃料噴射量や噴射タイミングの制御データなどを適宜変更しながらデバッグを行うことができ、パラメータのチューニングなどを容易に行える。

【0057】図13には前記評価モジュール1を用いたデバッグシステムの一例が示される。60はターゲットシステムである。評価用モジュール1は、ターゲットシステム60のターゲットマイクロコンピュータのICソケットに装着する。PC (Personal Computer) 又はEWS (Engineering Workstation) は通信インタフェース33に接続されたホスト装置73である。通信インタフェース33に接続する端子34は、評価モジュール1のユーザ側ピンとは分離された別の外部ピンに結合され、当該外部ピンにホスト装置73が結合されている。

【0058】図14において2aは前記評価用マイクロコンピュータチップ2だけをパッケージに封入して成る評価用マイクロコンピュータLSIである。70は評価用ボード若しくはエミュレーションポッドを構成するための配線基板であり、これに、評価用マイクロコンピュータLSI2aと、夫々パッケージに封入されたフラッシュROM4a及びSRAM3aとが実装され、前記評価モジュールと同一機能を有する評価用ボードが構成される。評価用マイクロコンピュータLSI2aの外部ピンはターゲットマイクロコンピュータと完全同一でなくてもよい。当該LSI2aのユーザ側ピンはインタフェースケーブル71で延長されてターゲットシステム60のターゲットマイクロコンピュータICソケットに結合される。通信インタフェース33の外部ピンは専用信号線74でホスト装置73に結合される。図14と図13を比べれば明らかなように、評価用マイクロコンピュータチップとターゲットマイクロコンピュータのICソケ

ットとの間には、図13の構成では実際のシステムに比べて何も余計な回路や配線が存在しない。図14の場合にはインタフェースケーブル71が介在されている。更に、図13の場合にはデバッグシステムそれ自体も小型化される。

【0059】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0060】例えば、評価モジュールに内蔵されるRAMチップはSRAMに限定されず、シンクロナスSRAM、シンクロナスDRAM等のメモリであってもよい。評価モジュールに内蔵されるROMチップはフラッシュメモリに限定されずEEPROMであってもよい。マイクロコンピュータの内蔵回路モジュールは図2に限定されず適宜変更可能である。また、評価モジュールの動作モードは上記の例に限定されず、例えばマルチチップモードにおけるバンクモードからユーザモードへの遷移を自動化しなくてもよい。更に、ターゲットマイクロコンピュータの内蔵ROMはフラッシュメモリに限定されず、マスクROM、EPROMなどであってもよい。また、本発明に係る評価モジュールや評価用マイクロコンピュータチップは車載用途のシステムのデバッグに用いる場合に限定されず、マイクロコンピュータが組み込まれた種々のデータ処理システムに対するデバッグ用途に適用することができる。

【0061】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0062】評価用マイクロコンピュータチップ、そのターゲットマイクロコンピュータの内蔵ROMを代替するRAMチップ、システム制御プログラムやユーザプログラム（ターゲットプログラム）の格納領域に割り当てられるROMチップを、外部端子に関し前記ターゲットマイクロコンピュータとの間で互換性を有するパッケージに実装して、評価モジュールを構成するから、ユーザ使用状態でのデバッグが可能である。即ち、ターゲットシステムのターゲットマイクロコンピュータ搭載ソケットに前記評価用モジュールを装着するか、若しくはターゲットシステムのボード上に直接実装するかして、ターゲットシステムのデバッグを支援することができる。ユーザのターゲットシステム上でターゲットマイクロコンピュータをそのまま評価モジュールに置き換えて、システムデバッグ若しくはソフトウェアデバッグが可能である。したがって、実使用環境下でのシステムデバッグ若しくはソフトウェアデバッグを容易に実現させることができる。

【0063】上記より、ターゲットシステムと評価用モジュールとの接続にはインタフェースケーブルを必要と

しないから、インタフェースケーブルの引回し等に起因する不所望なノイズの影響を受けず、マイクロコンピュータの動作周波数が高くてデバッグの信頼性を保証することができる。特に、アナログ機能の精度がターゲットマイクロコンピュータと大差のないデバッグツールの構築が可能である。

【0064】評価用マイクロコンピュータチップはRAM及びROMを直結してアクセス制御可能な直結インタフェース仕様を有するから、バストランシーバなどの付加回路を介在させることを要せず、アクセスタイムを制限するようなオーバヘッドを最小限とすることができる。

【0065】ターゲットマイクロコンピュータの内蔵ROMを代替するRAMチップや電氣的に書き換え可能なROMチップのアドレスマッピングを、評価用マイクロコンピュータチップの動作モードとアクセス対象とされるアドレスエリアとに基づいて切り換え制御することにより、ターゲットマイクロコンピュータ内蔵ROMを外部RAMチップで代替させてターゲットプログラムを実行しながらデバッグを支援することができる。

【0066】評価用マイクロコンピュータチップのCPUとは別にその内部バスを介してアクセス制御可能なデバッグ用バスマスタ手段と、それに対するアクセス制御情報を外部から受け取る評価用外部インタフェース手段とを評価用マイクロコンピュータチップに含めることにより、ターゲットシステムのハードウェア及びソフトウェア双方のリソースを用いることなく、前記内蔵ROM代替用のRAMチップ上の制御データ等を変更できる。したがって、パラメータチューニングが容易になる。換言すれば、ターゲットプログラム（ユーザプログラム）に負うことなく（ターゲットプログラムを変更することなく）ターゲットプログラム実行中に制御データの変更が外部から可能なため、パラメータチューニング等のデバッグが容易である。

【図面の簡単な説明】

【図1】本発明に係る評価用モジュールの一例を示すブロック図である。

【図2】本発明に係る評価用マイクロコンピュータチップの一例を示すブロック図である。

【図3】アドレスエリアの一例を示す説明図である。

【図4】システム制御プログラム書き込み時における動作説明図である。

【図5】ターゲットプログラム書き込み時における動作説明図である。

【図6】システムセットアップ時における動作説明図である。

【図7】ターゲットプログラム実行時における動作説明図である。

【図8】システム制御プログラム書き込み時におけるアドレスマップの一例を示す説明図である。

【図9】ターゲットプログラム書き込み時におけるアドレスマップの一例を示す説明図である。

【図10】システムセットアップ時におけるアドレスマップの一例を示す説明図である。

【図11】ターゲットプログラム実行時におけるアドレスマップの一例を示す説明図である。

【図12】デバッグ用メモリコントローラを用いたデータ転送動作の一例を示すタイミングチャートである。

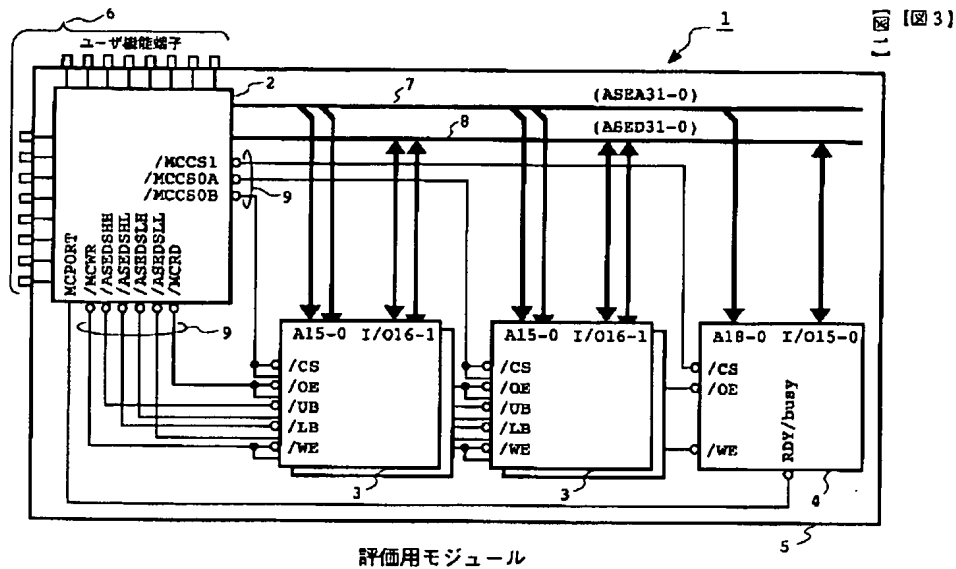
【図13】評価用モジュールを用いたデバッグシステムの一例を示すブロック図である。

【図14】評価用マイクロコンピュータチップ単体の評価用マイクロコンピュータLSIを用いたデバッグシステムの一例を示すブロック図である。

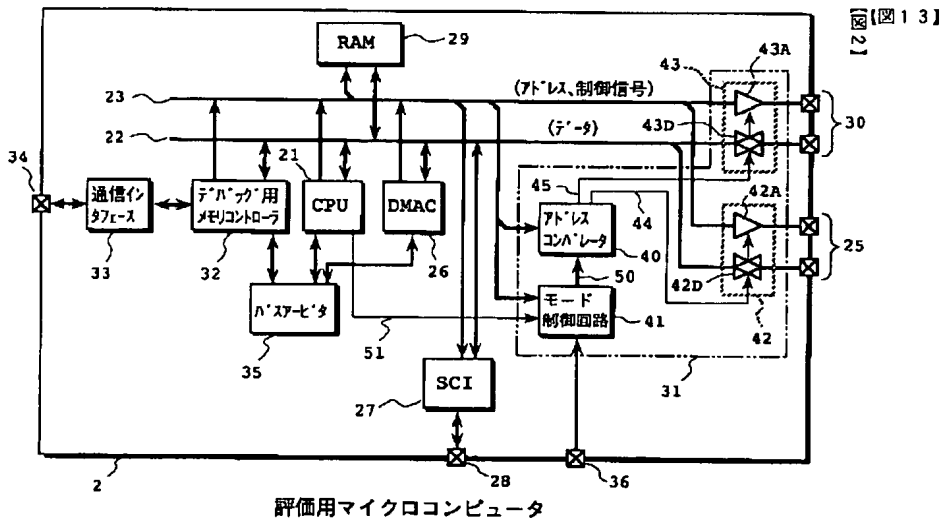
【符号の説明】

- 1 評価用モジュール
- 2 評価用マイクロコンピュータチップ
- 3 SRAMチップ
- 4 フラッシュROMチップ
- 6 ユーザ機能端子
- 7 モジュールアドレスバス
- 8 モジュールデータバス
- 9 モジュールコントロールバス
- 21 CPU
- 22 内部データバス
- 23 内部アドレス・コントロールバス
- 31 バス制御回路
- 32 デバッグ用メモリコントローラ
- 40 アドレスコンパレータ
- 41 モード制御回路
- 42、43 バスバッファ回路
- AE1～AEi アドレスエリア
- 60 ターゲットシステム
- 73 ホスト装置

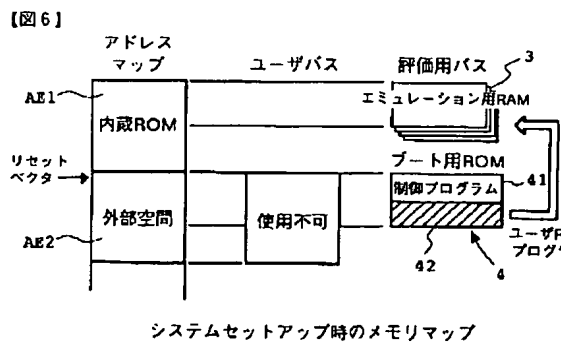
【図1】



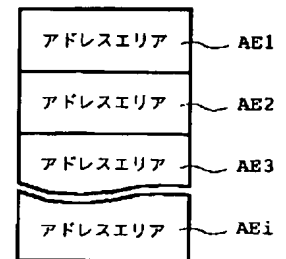
【図2】



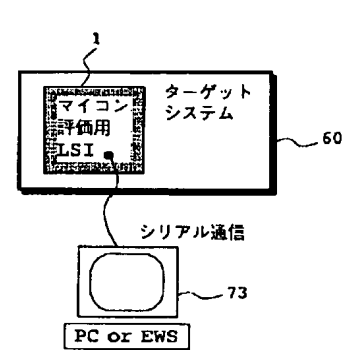
【図6】



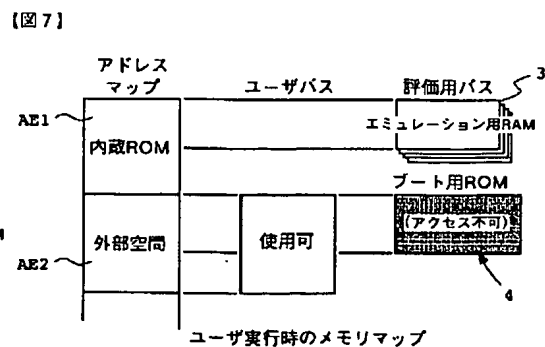
【図3】



【図13】

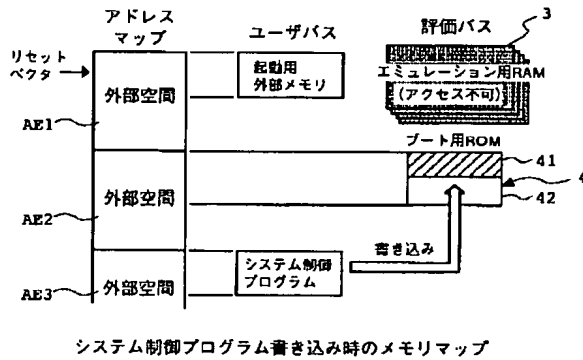


【図7】



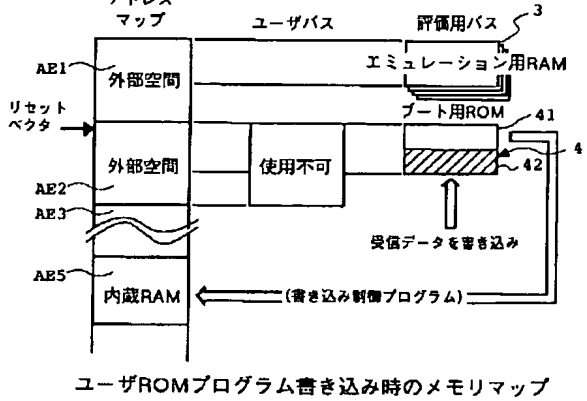
【図 4】

【図 4】

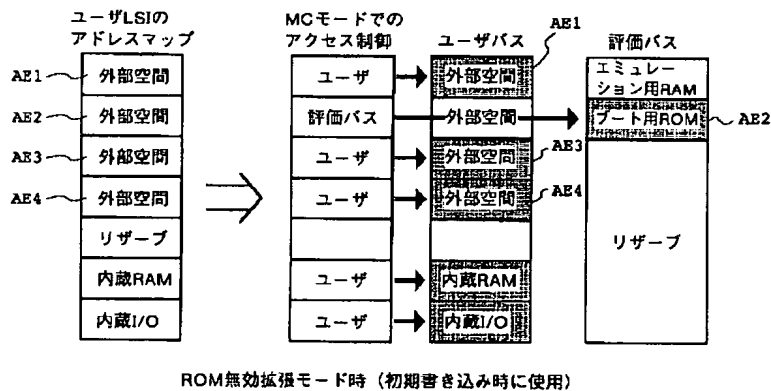


【図 5】

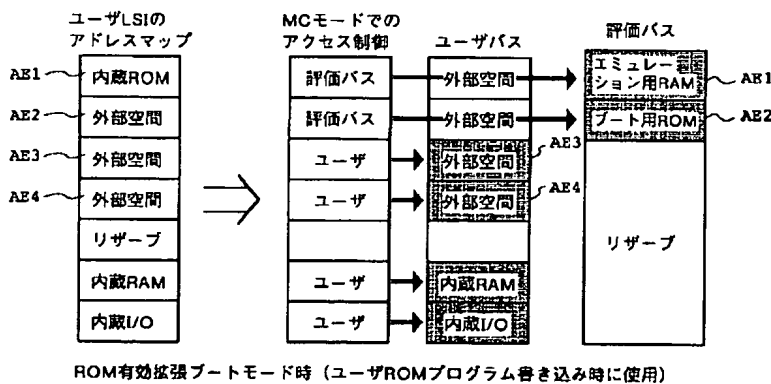
【図 5】



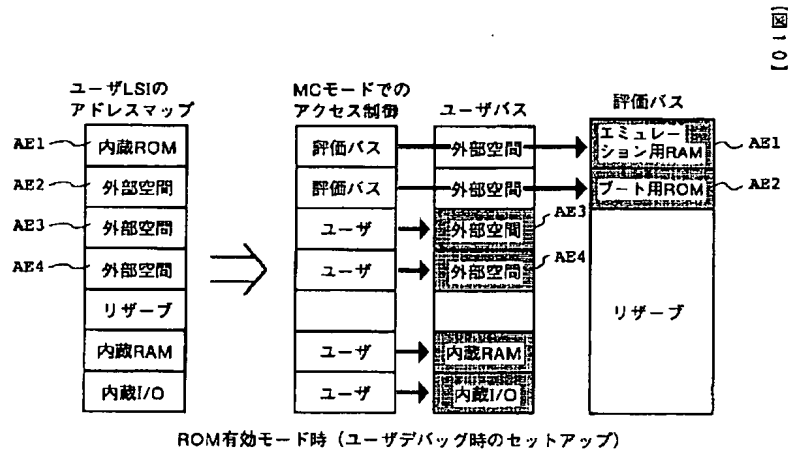
【図 8】



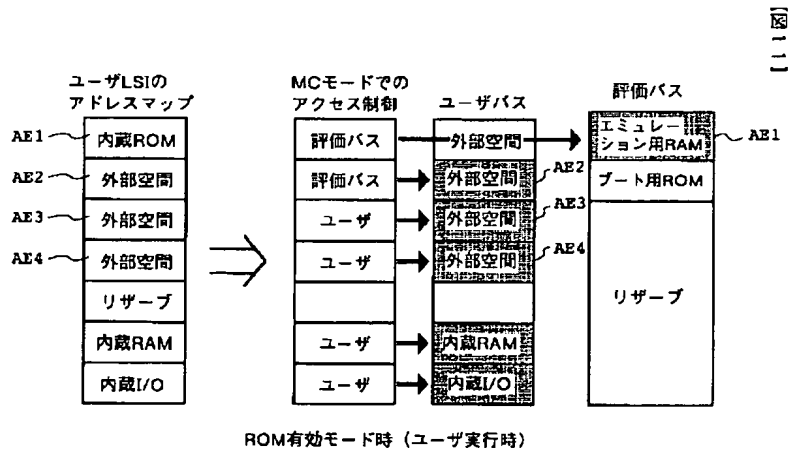
【図 9】



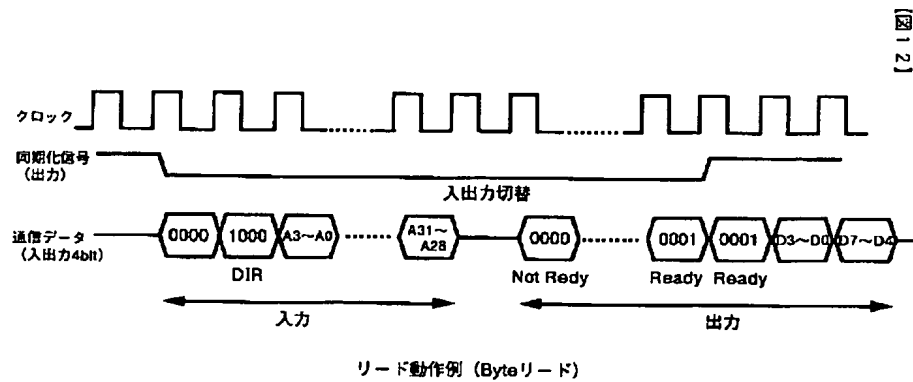
【図10】



【図11】

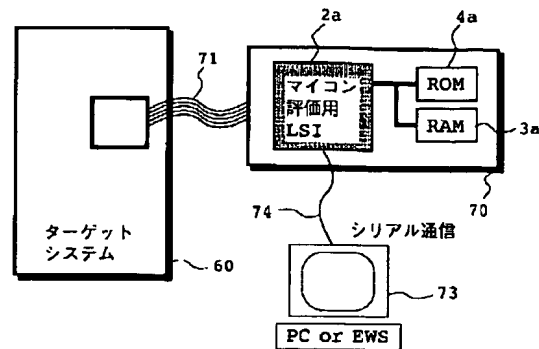


【図12】



【図 1 4】

【図 1 4】



フロントページの続き

(72)発明者 土屋 文男
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内